

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291631

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H03K 17/16
H03K 17/687

(21)Application number : 05-073081

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.03.1993

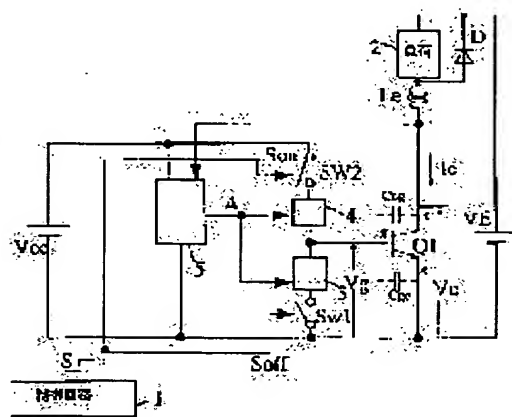
(72)Inventor : MIYAZAKI HIDEKI
WATANABE KOZO
ENDO TSUNEHIRO

(54) METHOD AND CIRCUIT FOR DRIVING VOLTAGE DRIVEN ELEMENT

(57)Abstract:

PURPOSE: To suppress noise and surge voltages by detecting a voltage between first and second terminals, changing the resistance value of a resistor corresponding to this detected Value and decelerating speed to increase or decrease a gate voltage.

CONSTITUTION: When an input signal Soff is supplied from a control circuit 1 to an SW1, the SW1 is turned on, an electric charge charged through a first resisting means 3 to a gate capacitor Cge of a Q1 is discharged, and the Q1 is turned off. When an input signal Son is supplied from the circuit 1 to an SW2, the SW2 is turned on, the electric charge is charged from a control power source Vcc through a second resisting means 4 to the gate capacitor Cge, and the Q1 is turned on. In this case, the resistance value is changed by the means 3 and 4 respectively corresponding to the output of a voltage detecting means 5 to detect the collector voltage of the Q1. Namely, when a collector voltage is less than a prescribed value, the resistance value of the means 3 and 4 is changed into low resistance and when the collector voltage is larger than the prescribed value, the resistance value is changed into high resistance. At the time of turn-off, the collector voltage is increased, the means 3 is changed into the high resistance, and discharging from the capacitor Cge is delayed.



LEGAL STATUS

[Date of request for examination]

28.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3141613

[Date of registration] 22.12.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-291631

(43)公開日 平成6年(1994)10月18日

(51) Int.Cl.⁵

H 0 3 K 17/16
17/687

識別記号

号 户内整理番号
H 9184-5J

7436-5 J

FI

H O 3 K 17/ 687

技術表示箇所

B

審査請求 未請求 請求項の数 7 OL (全 14 頁)

(21)出願番号 特願平5-73081

(22)出願日 平成5年(1993)3月31日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 宮崎 英樹

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 渡辺 晃造

茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

(72) 發明者 遠藤 常博

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

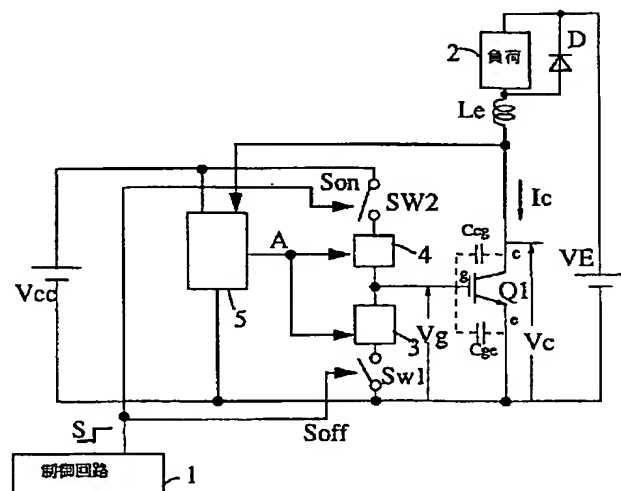
(54)【発明の名称】 電圧駆動形素子の駆動方法及びその回路

(57) 【要約】

【目的】電圧駆動形素子の電流容量に依存せずにターンオン、ターンオフ時の電圧変化 dV/dt 、電流変化 di/dt を緩和してノイズ並びにサージ電圧を抑制する。

【構成】主電流の入出力に係る第 1，第 2 端子と絶縁ゲート構造を有するゲート端子を備えた電圧駆動形素子の前記第 2 端子と前記ゲート端子間のゲート電圧を抵抗器を介して印加或いは除去する電圧駆動形素子の駆動方法において、前記第 1，第 2 端子間の電圧を検出し、この検出値に応じて前記抵抗器の抵抗値を変化させることにより、前記ゲート電圧を増加或いは減少させる速度を遅くすることを特徴とする。

1



【特許請求の範囲】

【請求項1】主電流の入出力に係る第1、第2端子と絶縁ゲート構造を有するゲート端子を備えた電圧駆動形素子の前記第2端子と前記ゲート端子間のゲート電圧を抵抗器を介して印加或いは除去する電圧駆動形素子の駆動方法において、

前記第1、第2端子間の電圧を検出し、この検出値に応じて前記抵抗器の抵抗値を変化させることにより、前記ゲート電圧を増加或いは減少させる速度を遅くすることを特徴とする電圧駆動形素子の駆動方法。

【請求項2】請求項1において、

前記第1、第2端子間の電圧が所定値を超えた場合には、前記抵抗器の抵抗値の値を大きくすることを特徴とする電圧駆動形素子の駆動方法。

【請求項3】主電流の入出力に係る第1、第2端子と絶縁ゲート構造を有するゲート端子を備えた電圧駆動形素子の前記第2端子と前記ゲート端子間に、前記第2端子と前記ゲート端子間に第1のスイッチ手段及び第1の抵抗手段を介して前記ゲート電圧を除去する回路と、外部制御電源より第2のスイッチ手段及び第2の抵抗手段を介してゲート電圧を印加する回路とからなる電圧駆動形素子の駆動回路において、

前記第1、第2端子間の電圧を検出する電圧検出手段と、

前記第1または第2の抵抗手段の少なくともいずれかは前記電圧検出手段からの電圧検出信号に基づいて抵抗値を変化させる抵抗可変手段を備えたことを特徴とする電圧駆動形素子の駆動回路。

【請求項4】請求項3において、

前記第2端子と前記ゲート端子間のゲート電圧を検出するゲート電圧検出手段と、

該ゲート電圧検出手段からのゲート電圧検出信号に基づいて前記第1の抵抗手段における抵抗値を変化させる抵抗可変手段を備えたことを特徴とする電圧駆動形素子の駆動回路。

【請求項5】請求項3において、

前記主電流の大きさを検出する電流検出手段と、

該電流検出手段からの電流検出信号に基づいて前記第1の抵抗手段における抵抗値を変化させる抵抗可変手段を備えたことを特徴とする電圧駆動形素子の駆動回路。

【請求項6】請求項3乃至5において、前記抵抗可変手段は、前記電圧検出信号あるいは前記電流検出信号に基づいて開閉動作するに半導体スイッチ素子と、該素子に並列接続された固定抵抗器からなることを特徴とする電圧駆動形素子の駆動回路。

【請求項7】請求項6において、

前記半導体スイッチ素子は、MOSFETで構成したことを特徴とする電圧駆動形素子の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧駆動形素子の駆動方法及びその回路に係り、特にターンオフ及びターンオン時の電圧変化 dV/dt 、電流変化 di/dt を緩和してノイズ並びにサージ電圧を抑制する駆動方法及び回路に関する。

【0002】

【従来の技術】MOSゲート構造の電界効果形トランジスタ（以後、MOSFETと呼ぶ）や絶縁ゲート型バイポーラトランジスタ（以後、IGBTと呼ぶ）等の電圧駆動形素子はターンオン、或いはターンオフ時のスイッチング速度が速いことが特徴であり、高周波のインバータ装置やスイッチング電源に用いられている。近年、これらの素子は大電流化と高速化の進歩が顕著であるが、反面、高速スイッチングが原因で、サージ電圧による素子の破壊やノイズによる他の電子機器への妨害という問題を招いている。こうした問題の対策として、スイッチング時に制御端子（以後、ゲート端子と呼ぶ）への電圧の印加或いは除去を緩やかに行いスイッチング速度を緩和することが検討されている。一例として、特開平1-183214号にはターンオフ速度を緩和する方法が述べられており、第1、第2のオフゲート抵抗手段を設け、第1のオフゲート抵抗手段は低抵抗を、第2のオフゲート抵抗手段は高抵抗を有している。上記第1、第2のオフゲート抵抗手段はターンオフの開始と同時に働くが、第1のオフゲート抵抗手段は予め設定された期間のみ働く。上記構成によって、ターンオフ直後のストレージ期間（主電流が下降するまでの期間）は第1、第2のオフゲート抵抗手段で大きなゲート電流を流して高速化し、次に電圧駆動形素子に流れる主電流が下降するフォール期間は第2のオフゲート抵抗手段のみを働かせて小さなゲート電流を流し、電流の下降時間を長くして電流の変化 di/dt を緩和している。

【0003】また、ターンオン時のサージ電圧を低減する方法の例が特開平3-93457号に述べられている。この方法は、ターンオン直後はゲート電圧の大きさを時間的に切り替え、ゲート電圧の印加を制限して電圧駆動形素子に流れる電流の変化 di/dt を緩和するものである。本例では、ゲート電圧がツェナーダイオードで決まる電圧まで達したら、上記制限を止めてゲート電圧を最高値まで上昇させる。

【0004】

【発明が解決しようとする課題】上記2例で、前者は第1のオフゲート抵抗手段の働く期間を抵抗とコンデンサで決まる時定数の時間として予め設定しており、後者はゲート電圧の印加を制限する期間をツェナーダイオードとコンデンサ及び抵抗で設定している。しかしながら、いずれの方法においても電圧駆動形素子は電流容量に依存してゲート部の静電容量が増加することから、両方法では駆動すべき電圧駆動形素子の電流容量に応じて、それぞれ最適な抵抗とコンデンサの値に変更する必要がある。

る。また、前者の駆動方法を用いると、電流容量が同じ素子であってもモータ制御のように素子を流れる電流が時間的に変化する場合には、第1のオフゲート抵抗手段の働く期間を電流値に応じて変えることが望ましく、1つの最適値を選ぶことは容易でない。

【0005】一方、同一の電圧駆動形素子に対してスイッチング時に発生するサージ電圧やノイズの影響は電流値に依存して大きくなる。また、上記従来例のような方法でスイッチング時間を遅くすると、スイッチング損失の増加が問題となる。そこで、フォール、又はライズ期間のゲート抵抗条件を電流に応じて変えるか、或いは電流がノイズ等の問題になる電流値以上でのみ di/dt を抑制することが望ましい。上記2例はいずれもこうした電流値に応じたスイッチング速度の緩和については考慮していない。

【0006】本発明の目的は、上記各問題点を除去するものであって、その目的は電圧駆動形素子のゲート容量、或いは電流値に応じてゲート容量の充放電速度を緩和しスイッチング時に生じるサージ電圧及びノイズを抑制することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため本発明は、主電流の入出力に係る第1、第2端子と絶縁ゲート構造を有するゲート端子を備えた電圧駆動形素子の前記第2端子と前記ゲート端子間に、前記第2端子と前記ゲート端子間に第1のスイッチ手段及び第1の抵抗手段を介して前記ゲート電圧を除去する回路と、外部制御電源より第2のスイッチ手段及び第2の抵抗手段を介してゲート電圧を印加する回路とからなる電圧駆動形素子の駆動回路において、前記第1、第2端子間の電圧を検出する電圧検出手段と、前記第1または第2の抵抗手段の少なくともいずれかは前記電圧検出手段からの電圧検出信号に基づいて抵抗値を変化させる抵抗可変手段を備えることにより、前記ゲート電圧を増加或いは減少させる速度を遅くすることを特徴とする。

【0008】さらに、上記回路において、前記第2端子と前記ゲート端子間のゲート電圧を検出するゲート電圧検出手段と、該ゲート電圧検出手段からのゲート電圧検出信号に基づいて前記第1の抵抗手段における抵抗値を変化させる抵抗可変手段を備えるか、または、前記主電流の大きさを検出する電流検出手段と、該電流検出手段からの電流検出信号に基づいて前記第1の抵抗手段における抵抗値を変化させる抵抗可変手段を備えたことを特徴とする。

【0009】

【作用】上記によれば、第1、第2端子間の電圧を検出する手段の出力からターンオン或いはターンオフ時に、フォール期間の開始或いはライズ期間の終了を判別し、この期間には抵抗手段を高抵抗化してゲート電圧の減少或いは増加速度を緩和し、電流の下降或いは上昇に関す

る di/dt を抑制する。ここで、上記電圧検出手段は電圧駆動形素子のフォール期間の開始とライズ期間の終了では、第1、第2端子間の電圧が急激に変化をする特性を持つことを利用して、ライズ期間の終了とフォール期間の開始を検出する。

【0010】また、上記構成で高抵抗手段に半導体素子を使用し、ゲート電圧或いは主電流の一方の値に応じて上記半導体素子の内部抵抗を変化させる制御信号を出力する制御信号出力手段を備えることによって、フォール期間とライズ期間における di/dt の抑制程度を電流値に応じて調整することが可能である。

【0011】更に、上記構成でゲート電圧を検出する手段を備えたことにより、第1、第2端子間の電圧が所定の値に達した時点においてゲート電圧が予め設定した値以上の場合には、前記抵抗手段の抵抗値を低抵抗から高抵抗に切り替えると共に、前記所定の値に達した時点の前記ゲート電圧が前記予め設定した値未満の場合には、前記抵抗手段の抵抗値を低抵抗のまま維持することでノイズ等の問題になる電流値以上でのみ di/dt を抑制することができ、スイッチング損失の不要な増加を抑えることが出来る。ここで、上記ゲート電圧の検出による電流値の判断は、電圧駆動形素子のゲート電圧と飽和電流値の関係を利用している。即ち、第1、第2端子間の電圧検出手段から素子が飽和領域に入ったことを、また、ゲート電圧の検出手段からゲート電圧が所望する電流値に対する設定値（言い換えれば、ゲート電圧が前記予め設定した値における飽和電流は検出すべき電流値に相当する）であるかを検出し、両電圧検出手段の結果から電流が検出すべき値以上であるかどうかを識別する。

【0012】

【実施例】以下、本発明の実施例を図面を用いて説明する。図1は、本発明の第1の実施例を示す電圧駆動形素子の駆動回路の基本ブロック図である。

【0013】図1において、Q1は電圧駆動形素子のIGBTであり、電流を入力するコレクタ端子（記号c）、電流を出力するエミッタ端子（e）、及び制御電圧を印加するゲート端子（g）を備える。Q1は負荷2を介して主電源VEと閉回路を構成する。本実施例では負荷2は誘導性であるものと仮定し、負荷には逆並列にフリーホイールダイオードDを設けている。ここで、インダクタンスLeは負荷2とQ1を接続する配線のインダクタンス成分を表したものである。次にSW1、SW2はそれぞれスイッチ手段であり制御回路1からの入力信号Soff、及びSonによってオン、オフ動作させる。ここで、本実施例ではSoff、及びSonはいずれも図に示す制御回路1の出力信号Sで共通であり、ハイレベル（H）或いはローレベル（L）の二値化された信号とする。Q1のゲート端子とSW1の間に接続した3は第1の抵抗手段であり、Q1のゲート端子間とSW2の間に接続した4は第2の抵抗手段である。

【0014】制御回路1からSW1に入力信号Soffが供与されると、SW1はオンし第1の抵抗手段3を介してQ1のゲート端子とエミッタ端子間のゲート容量Cgeに充電された電荷を放電し、Q1をターンオフする。また、制御回路1からSW2に入力信号Sonが供与されると、SW2はオンし第2の抵抗手段4を介して制御電源Vccからゲート容量Cgeに電荷を充電し、Q1をターンオンする。ここで、第1、第2の抵抗手段3及び4はそれぞれ、Q1のコレクタ端子とエミッタ端子間の電圧（以下コレクタ電圧と呼ぶ）を検出する電圧検出手段5の出力に応じて抵抗値を変化させる。即ち、コレクタ電圧が所定の値未満では、第1、第2の抵抗手段3及び4の抵抗値は低抵抗、コレクタ電圧が所定の値以上では、第1、第2の抵抗手段3及び4の抵抗値は高抵抗に変化させるものとする。この結果、上記Q1のターンオフ、ターンオンの期間中にコレクタ電圧が変化することによって第1、第2の抵抗手段3及び4の抵抗値が変化し、ゲート容量Cgeから電荷を放電、或いは充電する速度が変化する。ターンオフ時にはコレクタ電圧は増加することから、第1の抵抗手段が低抵抗から高抵抗に変化しCgeからの電荷の放電は遅くなる。一方、ターンオン時にはコレクタ電圧は減少することから、第2の抵抗手段が高抵抗から低抵抗に変化しCgeへの電荷の充電は、始めは遅く、コレクタ電圧が所定値以上の期間からは速くなる。

【0015】次に、本実施例に関する具体的な回路構成の一例を図2に示す。図2で破線で囲んだ領域3、4、5はそれぞれ、図1に示した第1の抵抗手段3、第2の抵抗手段4、及び電圧検出手段5に関する具体的な回路構成の一例を示している。第1の抵抗手段3としては、SW1とQ1のエミッタ端子の間にPチャンネルMOSFET M1を備え、M1に対して並列に抵抗R1を備える。第2の抵抗手段4としては、制御電源Vccの正極とSW2の間にPチャンネルMOSFET M2を備え、M2に対して並列に抵抗R2を備える。ここで、M1、M2は電圧検出手段5の出力に応じて内部抵抗が変化することから可変抵抗手段として用いている。また、R1の抵抗値はM1のオン時の内部抵抗に比べて十分大きく、同様にR2の抵抗値はM2のオン時の内部抵抗に比べて十分大きいものを選ぶ。尚、本実施例ではスイッチ手段SW1、SW2としてpnp、及びnpnのバイポーラトランジスタを用いているが、これらのスイッチ素子はMOSFETでも良い。同様にM1、M2にはMOSFETを用いているがこれらはバイポーラトランジスタを用いても良い。次に、コレクタ電圧Vcを検出する電圧検出手段5としては、制御電源Vccの正極と負極間に直列に接続した抵抗R5とR6を備え、R5とR6の接続部（以後、A点と呼ぶ）にアノード端子を、また、Q1のコレクタ端子にカソード端子をそれぞれ接続したダイオードD1を備える。スイッチ手段SW1、SW2を入

力信号Sに応じてオン、オフする手段として抵抗R3、R4及びnpnトランジスタQ2を備えており、Sがローレベルの場合にはQ2がオフして、R3とR4の接続部の電圧は上昇し、SW2はベース電流を供給されてオン、SW1はベースが逆バイアスされてオフ状態となる。逆に、Sがハイレベルの場合にはQ2がオンして、R3とR4の接続部の電圧は減少し、SW2はベースが逆バイアスされてオフ、SW1はベース電流を供給されてオン状態となる。

【0016】次に、電圧検出手段5で検出する電圧レベル（前述した所定の電圧）について説明する。まず、電圧検出手段5でA点の電圧は、Q1がオン状態にある場合にはそのオン電圧にD1の順方向電圧降下を加えた値に等しく約3V程度であり、信号の基準電位をVccの負極を基準電位とすると、論理信号としてはローレベル（L）に相当する。次に、スイッチングの過渡時でQ1の電圧がVccより高くなると、D1が逆バイアスされオフ状態になるため、A点の電圧はR5とR6の分圧比で決まる値となり、R5に対してR6の抵抗値を十分大きい値に選ぶと、ほぼVccに等しい電圧となる（論理信号としてはハイレベルに相当しHで表す）。この時のコレクタ電圧の値は上述のようにVccにほぼ等しいが、この値をVc1と定義する。Vc1はコレクタとゲート間の静電容量Ccgが電圧依存性のため急激に変化（VcがVc1以上ではCcgは急減する）する際の電圧にほぼ等しい。また、Ccgが急激に変化する時刻はライズ期間の終了、或いはフォール期間の開始に相当する。即ち、電圧検出手段5はQ1のコレクタ電圧がVc1以上かどうかを検出し、A点の電圧を出力としてL又はHの二値化した出力を発生する機能を有する。

【0017】上記構成による駆動回路で、本発明の狙いであるターンオフ及びターンオン時における dV/dt 、 dI/dt 及びサージ電圧の抑制の動作を次の図3を用いて述べる。

【0018】図3は、図2に示した駆動回路の動作説明図である。同図（a）はターンオン時、同図（b）はターンオフ時の動作をそれぞれ表している。同図（a）、（b）はいずれも駆動信号S、第2の抵抗手段の抵抗値、Q1のゲート電圧Vg、Q1のコレクタ電圧Vc、Q1のコレクタとゲート間の静電容量Ccg、及びQ1を流れるコレクタ電流Icに関して時間的な変化を示している。

【0019】図3（a）のターンオン時には、駆動信号Sがローレベルになると図2のSW2がオンする。ここで、Sが印加された直後にはVcの値は前述のCcgが急減する際の電圧（Vc1）に比べて十分大きく、A点の電圧はハイレベル（H）である。そこで、M2はオフ状態であり、第2の抵抗手段の抵抗値はR2の値となり、ゲート電圧はゲート容量CgeとR2の積で決まる時定数でゆっくりと増加する。また、コレクタ電流Ic

は上記ゲート電圧に対する飽和電流が流れ、 V_g の増加に依存して上昇する。このため、コレクタ電流の時間的变化 $d i / d t$ は上記時定数に応じたゆっくりしたものになり、コレクタ電圧が V_{c1} に達するまでの期間 t_1 では電流上昇の時間変化 $d i / d t$ を抑制することができる。 I_c が負荷電流の定常値(I_{c1})に達すると、

それまで飽和の状態にあった Q_1 が非飽和の状態に移行する。この結果、コレクタ電圧 V_c が減少して V_{c1} のレベルに達する。 V_c が V_{c1} 未満になると電圧検出手段5の働きでA点の電圧がハイレベルからローレベル

(L)に変化する。また、同時に C_{cg} は V_c に対する電圧依存性によって急激に増加する。A点の電圧がLに変化した以降の期間(t_2 と定義する)では M_2 がオンする。この結果、第2の抵抗手段の抵抗値は R_2 の高抵抗から M_2 のオン抵抗($R_{on}(M_2)$ と表す)の低抵抗に変わり、 C_{cg} に蓄積された電荷の放電は急速に行われる。また、ゲート電圧も急速に増加する。

【0020】次に、図3(b)のターンオフ時の動作について述べる。駆動信号SがハイレベルになるとSW2はオフし、変わってSW1がオンする。Sのハイレベルが印加された直後には V_c の値は V_{c1} に比べて十分小さく、A点の電圧はLである。そこで V_c が V_{c1} 以下の期間 t_3 においては M_1 がオンし、第1の抵抗手段の抵抗値は M_1 のオン抵抗($R_{on}(M_1)$ と表す)の低抵抗であることから、 C_{ge} に蓄積された電荷の放電は急速に行われる。 V_g の減少が進むとやがて Q_1 は非飽和から飽和へと移行する。この過程において V_c が増加し、 V_{c1} に達するとA点の電圧がHレベルに変化する。この結果 M_1 はオフし、第1の抵抗手段の抵抗値は低抵抗 $R_{on}(M_1)$ から R_1 の高抵抗に変わり、ゲート電圧はゲート容量 C_{ge} と R_1 で決まる時定数でゆっくりと減少する。 V_c が V_{c1} 以上の期間 t_4 においては Q_1 は飽和動作に入り、コレクタ電圧が増加することによって飽和電流を流し、定常時の負荷電流を維持する。コレクタ電圧が増加する期間ではゲート電圧の減少を抑制しても、コレクタ電圧が V_{c1} から主電源電圧 V_E に達するまでの電圧変化 $d V / d t$ を緩和する効果は少ない。 $d V / d t$ を抑制するのはむしろコレクタ電圧が V_E に達した以後の期間である。コレクタ電圧が V_E に達すると、もはやコレクタ電流 I_c を維持することはできず、 I_c は減少過程にある V_g の飽和電流として徐々に減少する。その時間的変化 $d i / d t$ は C_{ge} と R_1 の積の時定数に応じたゆっくりしたものになる。この時、 Q_1 のコレクタ電圧としては主電源電圧 V_E に加えて配線インダクタンス L_e と上記 $d i / d t$ の積で決まるサージ電圧が重畳されるが、ゲート電圧の減少を緩和していることにより $d i / d t$ は小さく押さえることができ、サージ電圧(同図(b)中の V_{sp})もわずかなる。従来の駆動回路ではターンオフの過程において電流下降期間中の $d V / d t$ が最も大きい、本実施例に

よれば $d i / d t$ の緩和により $d V / d t$ も抑制することが出来る。

【0021】以上のように本駆動回路によれば、ターンオフ過程で電流下降時の $d i / d t$ 、 $d V / d t$ を抑制できるほか、配線インダクタンスの影響で生じるサージ電圧も軽減する効果がある。

【0022】尚、上記図2の実施例においては高抵抗 R_1 を固定値としたが、この値を可変抵抗化する方法も有効である。即ち、 $d i / d t$ は C_{ge} と R_1 の積の時定数に応じた変化を示すことから、電流 I_c が大きい場合には R_1 の抵抗値をより大きくすることで、電流値に応じた $d i / d t$ の抑制を行うことが出来る。

【0023】図4は、本発明の他の実施例を示す駆動回路の基本ブロック図である。ここで、図4においては、前述の図1と同じ構成要素には同一の記号を付しており、説明は省略する。同図で6はゲート電圧の検出手段であり、この出力に応じて第1の抵抗手段における高抵抗を可変抵抗化する。図4の実施例の具体的な回路例を図5に示す。図5で図2の回路と構成が異なるのは第1の抵抗手段3とゲート電圧検出手段6であり、他の部分は図2と同じであることから説明は省略する。図5で第1の抵抗手段は図2の M_1 及び R_1 に並列にNチャンネルMOSFET M_3 を備えている。また、ゲート電圧検出手段6は V_{cc} の正極と負極間にPチャンネルMOSFET M_4 と抵抗 R_7 の直列接続を備え、 M_4 のソース端子とゲート端子間には抵抗 R_8 をまた M_4 のゲート端子と Q_1 のゲート端子間にツェナーダイオード ZD を備える。そして、 M_4 と R_7 の接続部から出力Bを取り出し、この信号を M_3 の制御信号として供与する。上記構成のゲート電圧検出手段6は Q_1 のゲート電圧が減少し、 V_{cc} の正極と Q_1 のゲート端子間の電圧が ZD の降服電圧以上になると、 M_4 のゲートにバイアス電圧が与えられ、 M_4 はオンする。また、 M_4 のオンによって出力Bの電圧値は、 V_{cc} の電圧を M_4 のオン抵抗と R_7 で分圧した値となり、この電圧が M_3 のしきい値電圧より大きければ M_3 もオン状態となる。以後、 Q_1 のゲート電圧の減少に依存して M_4 、 M_3 のゲートバイアス電圧は増加して行く。このため、 M_3 のオン抵抗は時間的に減少する。ここで、図3(b)に示したように、 V_c が V_{c1} の値に達した時点(t_3 と t_4 の境界)におけるゲート電圧は、以下に述べるように平坦化しており、その値は定常時の電流 I_{c1} に依存して大きくなる。図3(b)図において、 t_3 期間では前述のように V_g の減少が進み、 Q_1 は非飽和から飽和へと移行する。この過程において V_c は増加し、第1の抵抗手段とSW1は Q_1 のゲート容量の放電電流と同時に C_{cg} の充電電流を流すが、 V_c が増加を始めると C_{cg} が大きいのでゲート電流はほとんどが C_{cg} の充電電流に充てられる。このため、 V_g の減少は一旦休止し電圧が平坦になる期間が生じる。

【0024】次に、平坦化した際のゲート電圧とQ1の電流値の関係について説明する。図6(a)はゲート電圧をパラメータとした場合のQ1のコレクタ電圧 V_c とコレクタ電流 I_c の関係であり、この図でコレクタ電圧 V_{c1} の状態を飽和領域とすれば、印加したゲート電圧($V_{g1} \sim V_{g4}$)に対してコレクタ電流は $I_{c1} \sim I_{c4}$ の飽和電流として一義的に決まる。Q1がオン時の電流が I_{c2} の場合を例とすると、 t_3 の期間では図6(a)の1~3に示すようにQ1の動作点が増加してコレクタ電圧が増加する。この結果、電圧が平坦化する際

10 の値は I_{c2} を飽和電流とするゲート電圧 V_{g2} になる。図6(a)からコレクタ電流の飽和値とゲート電圧の関係を表した図が(b)であり、電流値に依存して平坦化する際のゲート電圧も大きくなることを示す。図5の構成に用いたツェナーダイオードの降服電圧を V_z とすると、 t_4 の期間開始時におけるM3のオン抵抗は、電流値が大きいほど上記平坦化したゲート電圧が高く、M4及びM3に印加されるゲートバイアス電圧は小さい。このためにM3のオン抵抗は高くなる。次に、M3のオン抵抗が高いほど、M3のオン抵抗と C_{ge} とで決まる時定数が長くなり、 V_g の時間的な減少も遅くなる。そして、 V_g の減少が遅いほどM3のオン抵抗の減少も遅くなり、 di/dt もこれに依存して抑制される。図5の実施例によるターンオフ時のゲート電圧、コレクタ電流及びコレクタ電流の特性を図7に示す。この図で、コレクタ電流が大きいほど t_4 の期間におけるゲート電圧の減少が緩和することを示している。

【0025】図5の実施例では電流に応じてM3の抵抗を変化させる手段としてゲート電圧検出手段6を用いたが、この機能に関する他の実施例を図8に示す。図8で破線で囲む領域7は電流を直接検出してM3のゲートバイアス電圧を変化させる手段であり、電流検出手段と呼ぶことにする。尚、領域7以外は図5と同じであり、説明は省略する。電流検出手段7はQ1に電流検出端子を備えた素子を用い、電流検出端子に流れる電流をQ3とQ4からなるカレントミラー手段で取り出し、Q1のエミッタ端子を流れる主電流に応じて変化する微小電流をQ4とこれに直列に接続した抵抗 R_{10} に流す。尚、Q4には並列に抵抗 R_9 を接続し、Q4がオフ時には R_9 と R_{10} の比で出力Bの電圧が決まるようにしている。上記構成によると、主電流が大きいほど R_{10} 両端の電圧降下が大きくなり、出力Bの電圧(即ち、M3のゲートバイアス電圧)は低下するためM3のオン抵抗は高くなる。このため、図5のゲート電圧検出手段と同様に、電流に応じた di/dt の抑制が行える。

【0026】次に、電流値に応じた di/dt 抑制の選択機能を備えた実施例について図9を用いて説明する。図9で di/dt 抑制の選択手段8を除くと、残りの構成は図2或いは図5と同じであり説明は省略する。但し、本実施例ではターンオフ時の di/dt 抑制につい

てのみ説明するため、第2の抵抗手段4は抵抗 R_2 で一定とした。また、図2に示したM1と異なり、第1の抵抗手段内のトランジスタM1にはNチャンネルMOSFETを用いている。

【0027】 di/dt 抑制の選択手段8としては、ゲート電圧検出手段6の出力Bをロジックインバータ9-1を介して2入力NAND回路10-1に入力し、NAND回路10-1の他の入力端子にはコレクタ電圧検出手段5の出力Aを入力する。NAND回路10-1の出力をフリップフロップ手段11のセット端子に入力する。駆動信号Sをロジックインバータ9-2に入力し、その出力をNAND回路10-2の一方の入力端子に入力する。また、ロジックインバータ9-2の出力を分岐してロジックインバータ9-3に入力し、9-3の出力を抵抗 R_{11} とコンデンサC1からなる遅延手段を介した後、NAND回路10-2の他方の入力端子に入力する。NAND回路10-2の出力はフリップフロップ手段11のリセット端子に入力する。ここで、フリップフロップ手段11の論理はセット端子にローレベルの信号を入力すると出力Qがハイレベルになり、リセット端子にローレベルの信号を入力すると出力Qはローレベルになる。また、上記フリップフロップ手段11の出力をCとすると、信号Cをロジックインバータ9-4を介してAND回路10-3の一方の入力端子に入力し、10-3の他方の入力端子には駆動信号Sを入力する。AND回路10-3の出力信号は第1の抵抗手段3内部のM1に制御信号 S_{off2} として出力する。

【0028】上記構成による駆動方法はターンオフの期間中にコレクタ電圧検出手段5及びゲート電圧検出手段6の結果から、前述の平坦化したゲート電圧を検出し、このゲート電圧に対応するコレクタ電流が設定値以上であれば di/dt を抑制することが特徴である。この動作を次の図10を用いて述べる。

【0029】図10は、図9に示した駆動回路でターンオフ時の動作説明図である。図10(a)はQ1を流れる電流が設定値未満の場合(小電流時と記す)、図10は電流が設定値レベル以上の場合(大電流時と記す)である。図10(a)と(b)において、 t_3 (或いは t_3')の期間と t_4 (或いは t_4')の期間の境界では前述のようにゲート電圧が平坦化し、その値は定常時のコレクタ電流に応じて大きくなる。電流値が I_{c2} 以上において抑制を行う場合を例とすると、上記ゲート電圧は図6(b)から V_{g2} となる。そこで、電流が I_{c2} 以上の場合に di/dt を抑制するためには、図9のツェナーダイオードZDには、($V_{cc} - V_{g2}$)の値を降服電圧とする素子を選ぶ。

【0030】図10(b)の場合には駆動信号Sに応じた t_3' 期間の開始直後から第1の抵抗手段内のM1がオンする。Sの印加直後にはQ1のコレクタ電圧は V_{c1} 以下であるため、第1の電圧検出手段の出力AはLで

ある。このためNAND回路10-1の出力はHであり、フリップフロップ手段の出力CはLとなるためSoff 2はHとなりM1をオンさせてQ1のゲート容量を急速に放電する。

【0031】 t_3' の期間の最終に達すると、Q1のコレクタ電圧は V_{c1} に達し、出力AはHに変化する。この時、平坦化したゲート電圧が検出すべき V_{g2} 以上であれば、ZD1は降服せず、M4にはゲートバイアス電圧が印加されないためオフであり、B点の電圧はLである。出力AがH、出力BがLの条件が揃うとNAND回路10-1の出力はLに変化し、フリップフロップ手段の出力CもHに変わる。この結果、Soff 2はLとなりM1はオフして以後の期間 t_4' では、第1の抵抗手段の抵抗値は R_1 の高抵抗になり、ゲート電圧の減少を遅くして電流変化 di/dt は抑制される。図9(a)の場合には t_3 の期間の最終で出力AはHに変化した際、平坦化したゲート電圧は検出すべき V_{g2} より小さいため、ZD1は降服しM4はオン状態となってB点の電圧はHになる。この結果、フリップフロップ手段の出力CはLを維持するため、ターンオフの終了までM1のオンも維持され、 t_4 期間での di/dt 抑制は行われない。

【0032】

【発明の効果】以上の説明から理解されるように、本発明によれば電圧駆動形素子に適したサージ電圧及びノイズの抑制が可能となり、素子にサージ電圧防止のスナバ回路が不要になる他、スイッチング時のノイズが他の電

子機器へ影響を及ぼし誤動作を招く問題を解消することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す電圧駆動形素子の駆動回路の基本ブロック図である。

【図2】図1の一実施例の具体的な回路構成図である。

【図3】図2の実施例の動作を説明するための動作波形である。

【図4】本発明の他の実施例を示す電圧駆動形素子の駆動回路の基本ブロック図である。

【図5】図4の実施例の具体的な回路構成図である。

【図6】図5の実施例の動作を説明するための動作波形である。

【図7】電圧駆動形素子の素子特性を説明する図である。

【図8】図4の実施例の他の具体的な回路構成図である。

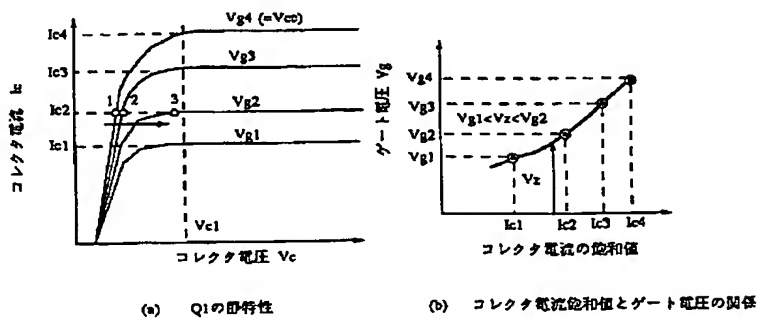
【図9】本発明に係る di/dt 抑制を選択する駆動方法の実施例である。

【図10】図9の実施例の動作を説明するための動作波形である。

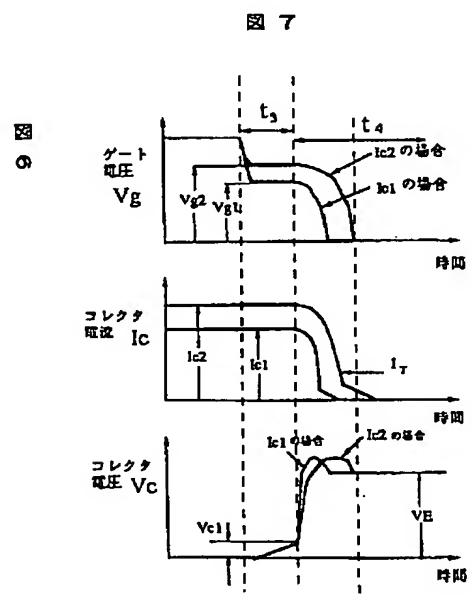
【符号の説明】

1…制御回路手段、2…負荷、3…第1の抵抗手段、4…第2の抵抗手段、5…コレクタ電圧検出手段、SW1、SW2…スイッチ手段、Q1…電圧駆動形素子、 V_{cc} …制御電源、 V_E …主電源、6…ゲート電圧検出手段、7…電流検出手段。

【図6】



【図7】



【図1】

図 1

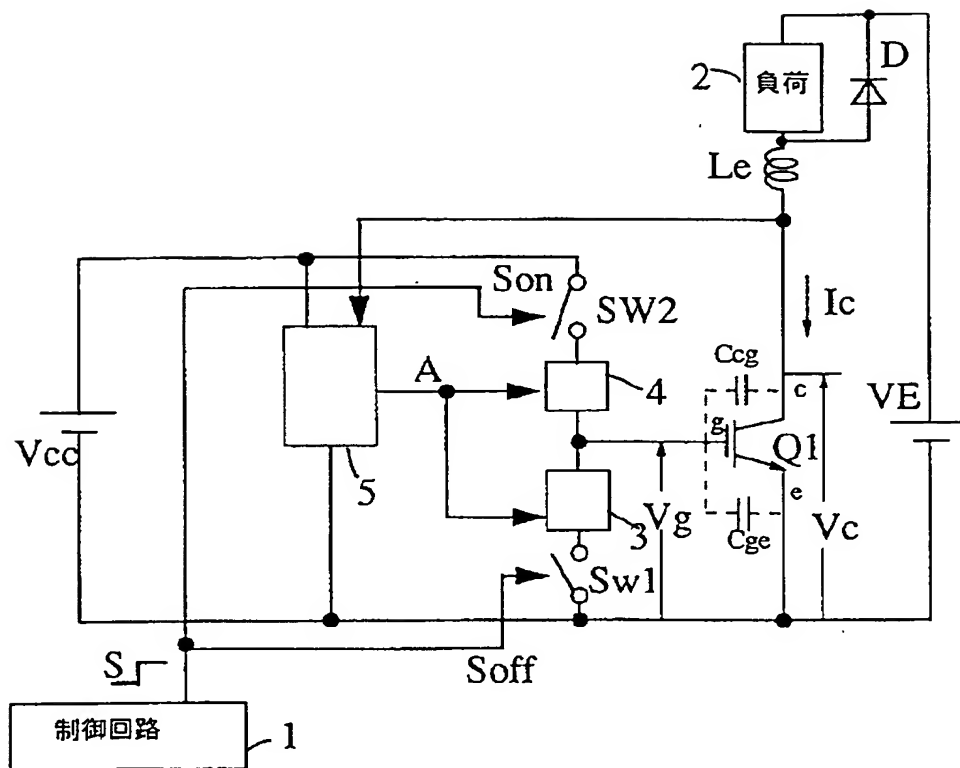
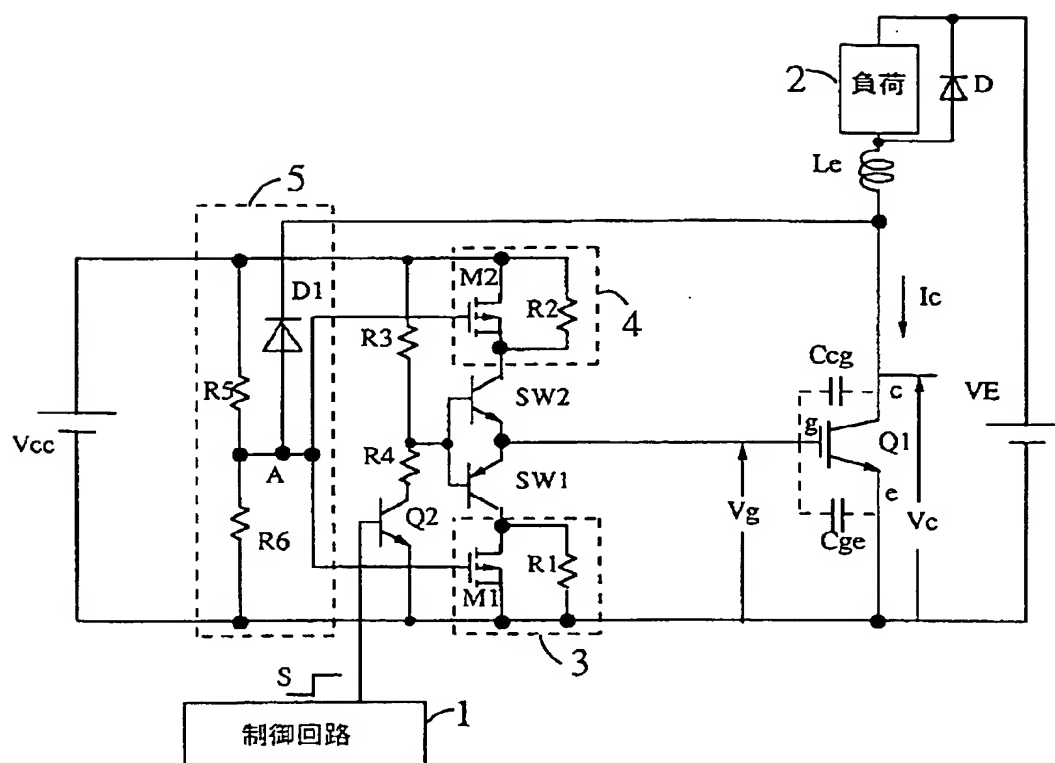
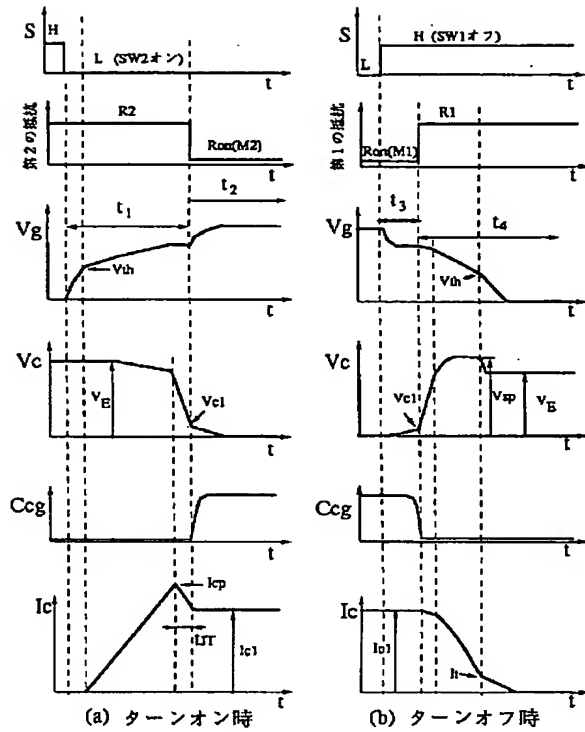


图 2



【図3】

図3



【図10】

図10

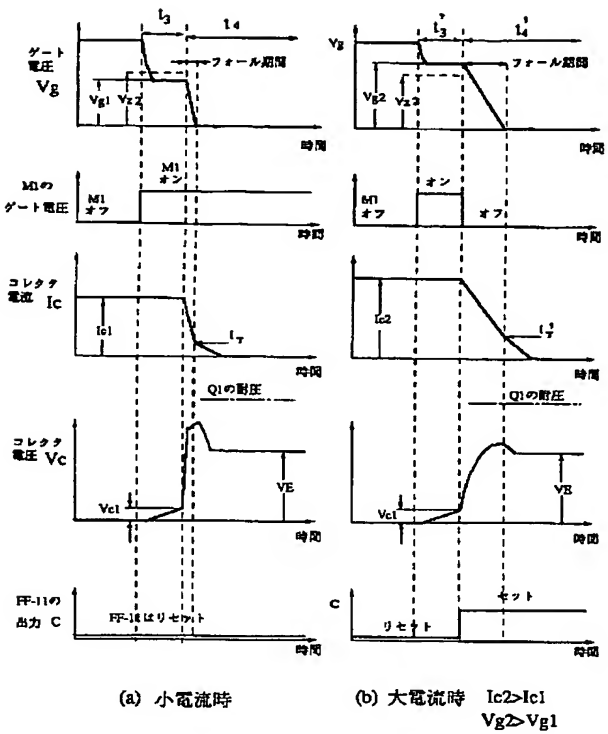


图 4

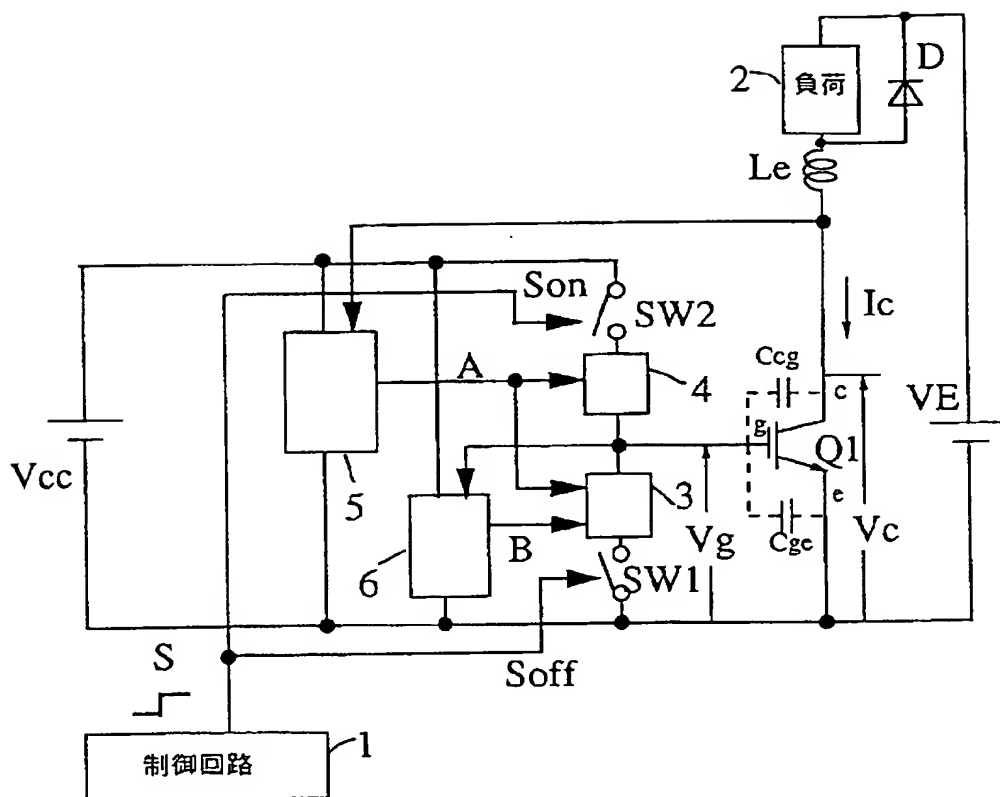
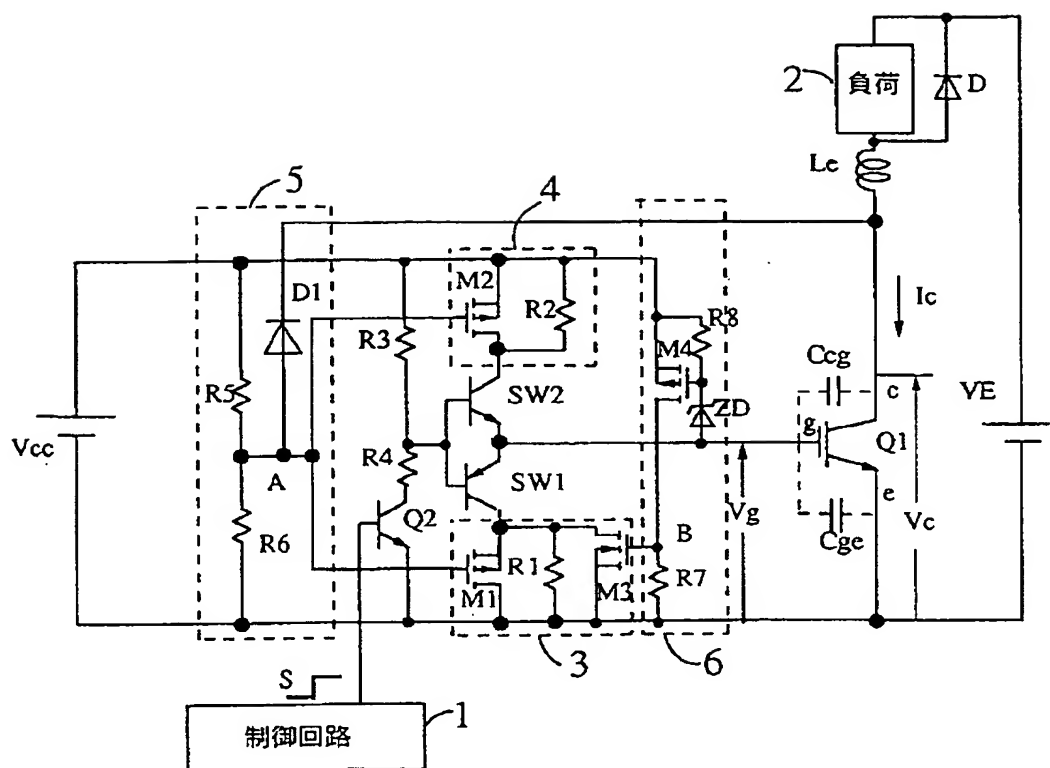
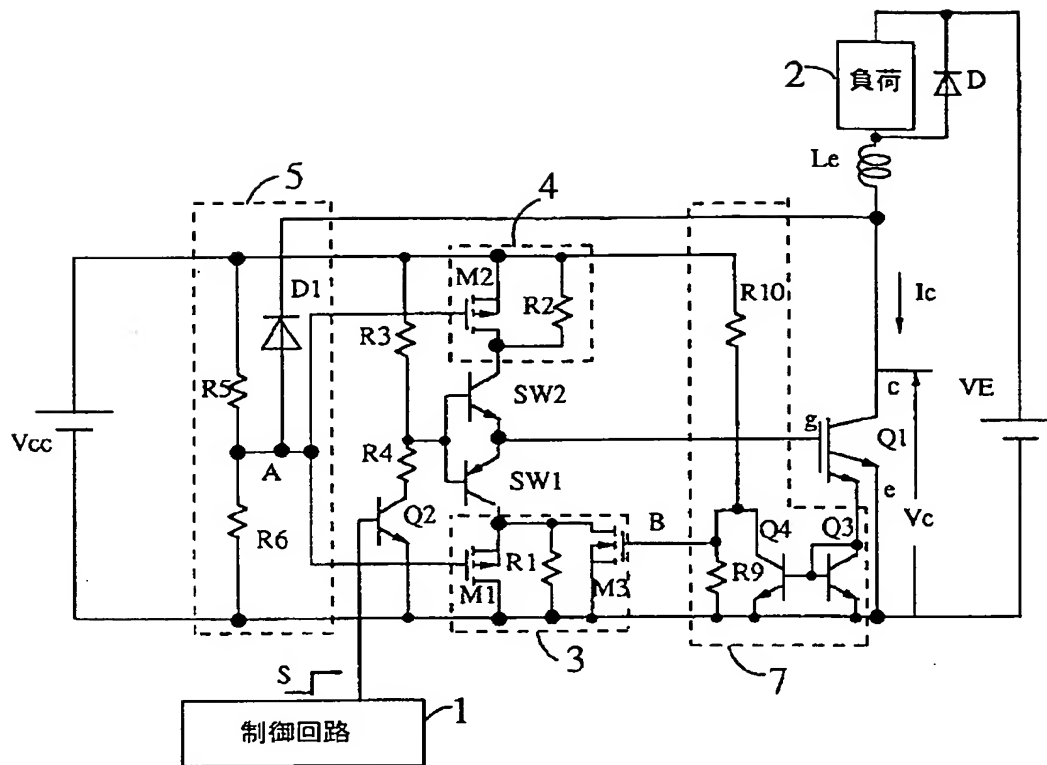


图 5



【図8】

図 8



【図9】

